

特化型アーキテクチャの性能モデル化とプログラミング基盤技術の創出

丸山直也 (理研)

李珍泌 (理研)

大島聡史 (東大)

長名保範 (琉球大)

中原啓貴 (愛媛大)

ポストムーアに向けた計算機科学・計算科学の新展開
2015年12月22日@東京大学

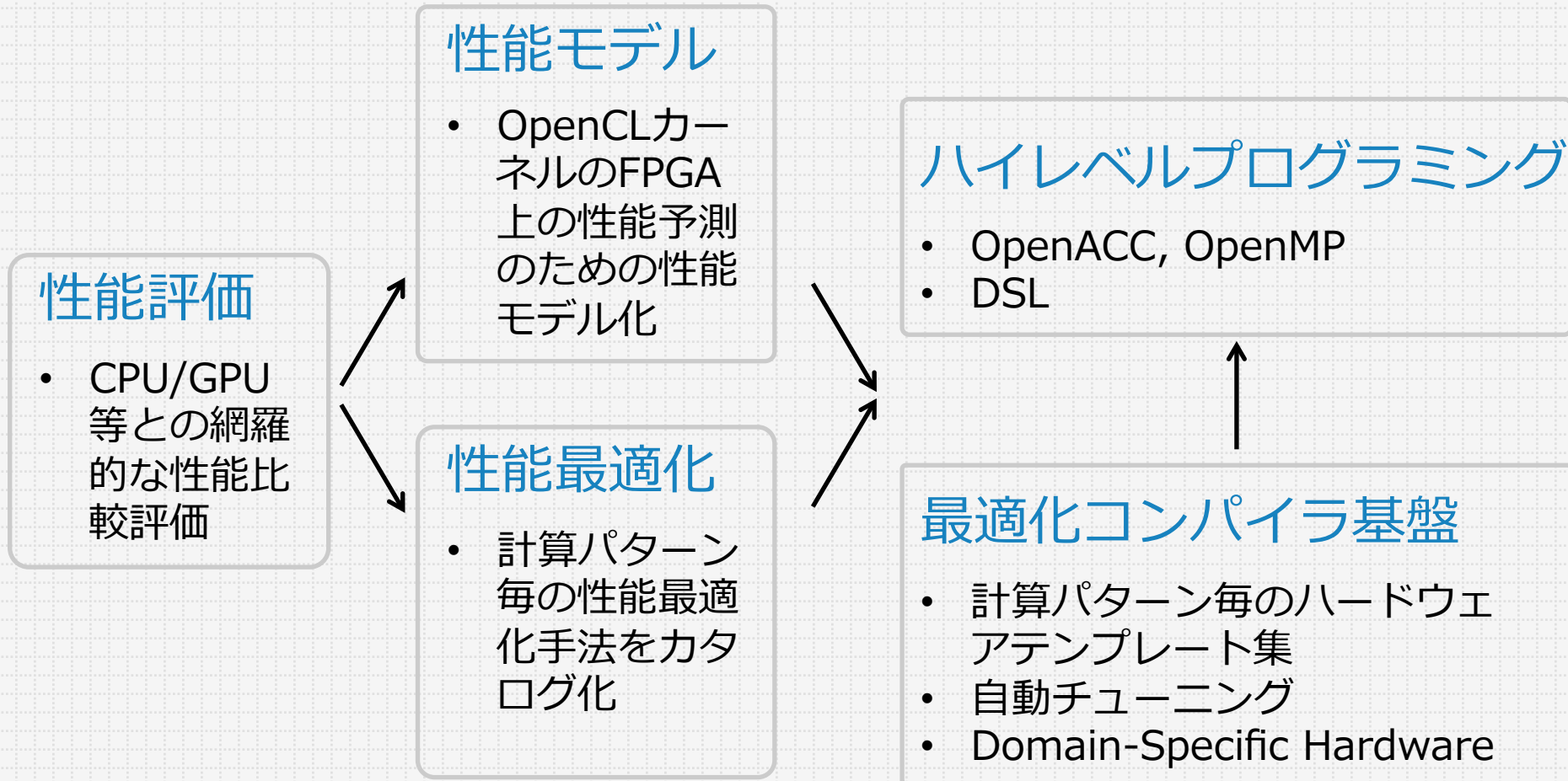
背景

- FPGA
 - 専用ハードウェアを構成するための1手法
 - 再構成によるコストと特殊化による最適化のバランス
- データセンターにおけるFPGAの利用が今後進む？
 - ソフトウェア、ハードウェアともに進展が期待
 - スパコンへの波及効果？
- 計算科学では？
 - ソフトウェア&ハードウェアによる壁
 - プログラミング → OpenCLコンパイラなどにより改善
 - 浮動小数点演算 → 単精度演算器搭載（倍精度？）

課題

- FPGAは本当に性能でるのか？
 - 浮動小数点アプリにおける有効性は未知
 - これまではハードFPU無し
 - 単精度FPUでどうなるか？
 - 整数演算中心アプリでは？
 - CPU、GPU等との網羅的な優劣が未だ不明
 - 性能モデル化手法も不明
- FPGAをどうプログラミングするか？
 - OpenCLの有効性？
 - より高レベルプログラミングモデルが必要

研究計画概要



性能評価・モデリング

性能評価

- 種々の並列プログラミングパターンによる網羅的な評価
- 既存CPU、GPUとの定量的な比較
- OpenCLによるプログラミング

性能最適化

- 様々な計算科学ベンチマーク、アプリをFPGAに移植し、最適化手法の洗い出し
- 目標：計算パターン毎の最適化手法のカタログ化

性能モデル化

- 入力：OpenCLカーネル、FPGAスペック
- 出力：性能予測
- 従来の性能モデル化はハードウェアは固定、その範囲内で予測→FPGAでは通用しない



アプリ・アルゴリズム

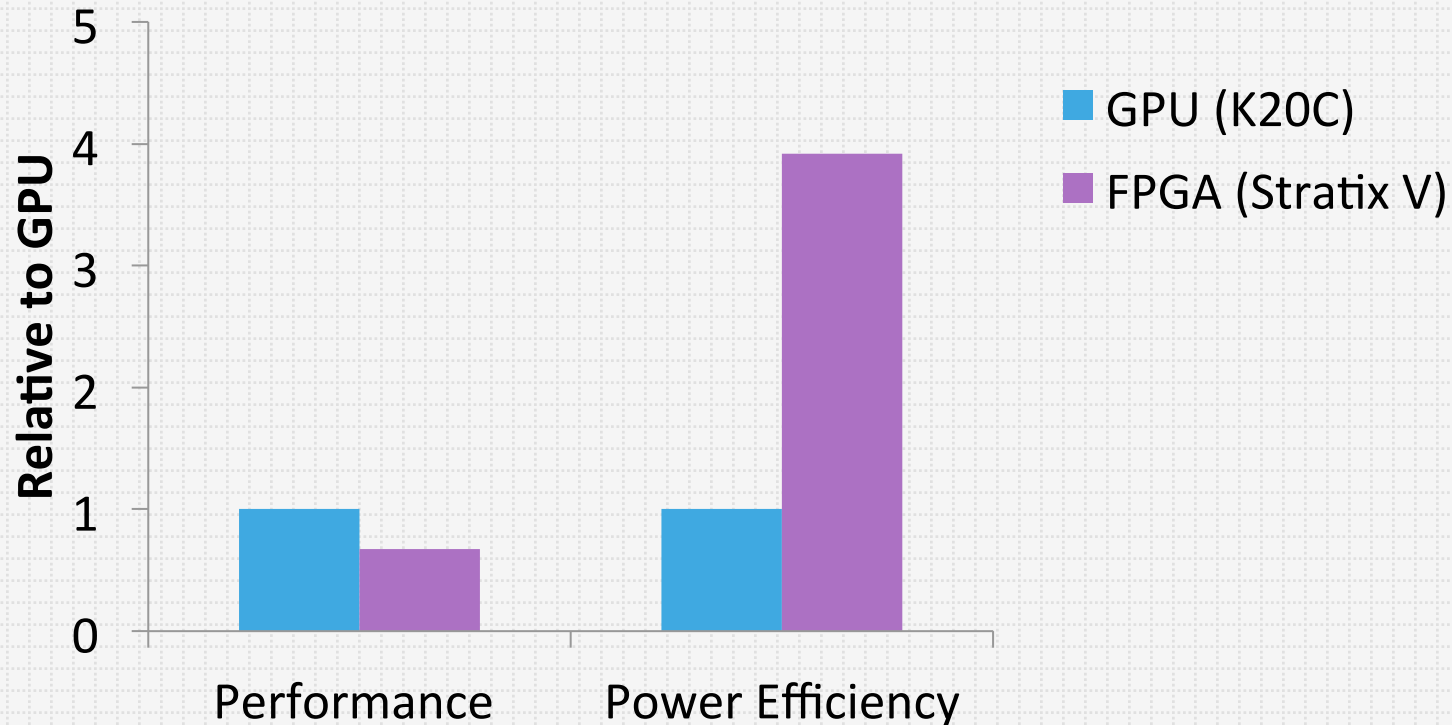
- アプリケーションレベルの評価

アーキテクチャ

- FPGA向け最適化

予備評価: Rodinia NW

- Sequence alignment with dynamic programming
 - Computes score for elements in a 2-D matrix from top-left to bottom-right



Zohouri et al., "Towards Understanding the Performance of FPGAs using OpenCL Benchmarks," Workshop on Reconfigurable Computing (WRC'16), To appear.

ハイレベルプログラミング

指示文コンパイラ

- OpenACC, OpenMP 4.0などをFPGAに対応
- Omniコンパイラ [筑波大 / 理研]をベース
 - XcalableMP-dev
- データ並列とパイプライン並列の違いを吸収可能か？

DSL/フレームワーク

- JSTポストペタCRESTの発展 (代表丸山)
 - PhysisステンシルDSL
 - 粒子法フレームワーク TAPAS
 - AMRフレームワーク



アプリ・アルゴリズム

- アプリケーションへの適用

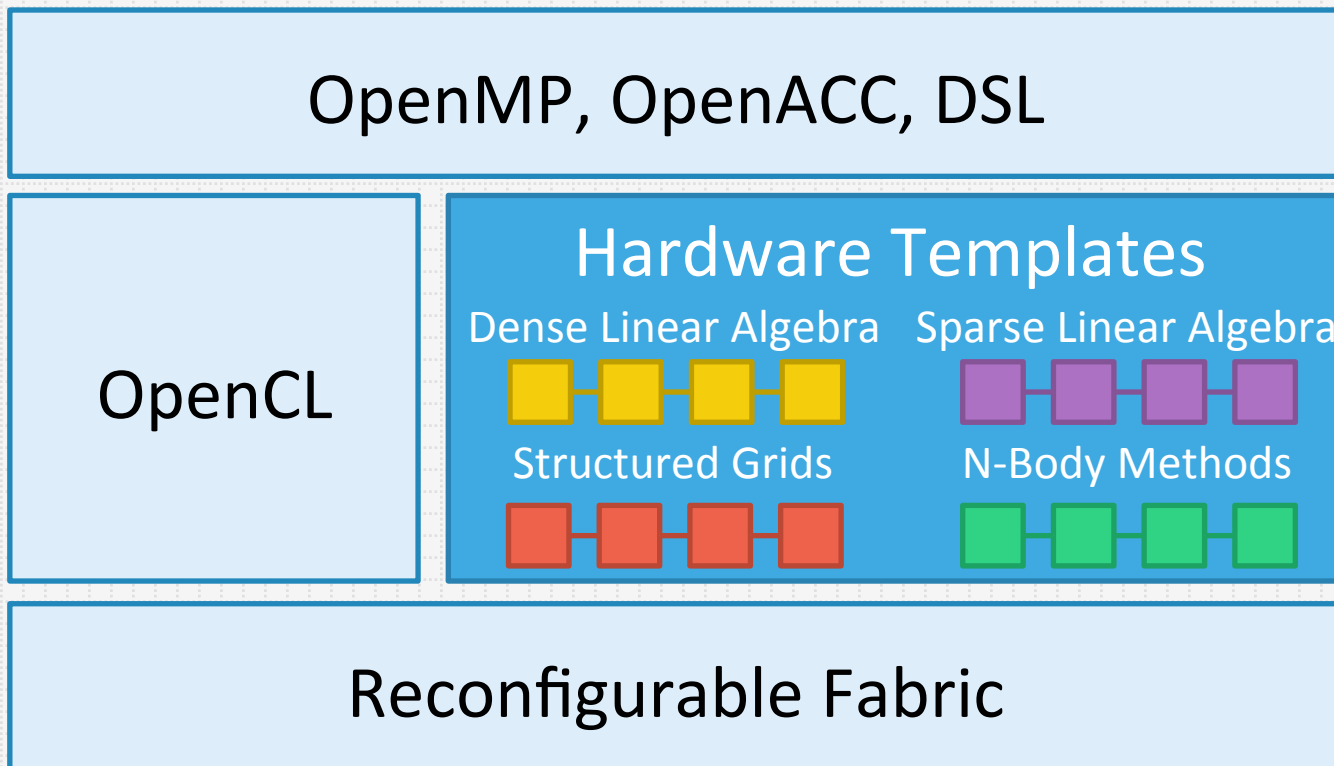
ソフトウェア

- 高レイテンシ通信

最適化コンパイラ基盤

目的: DSLやOpenACCなどのハイレベル言語から高性能ハードウェアを生成

方針案: OpenCL+再利用可能なハードウェアテンプレート



研究協力

- 性能モデリング
- アプリケーション評価
- システム全体のプログラミング
- ポストムーア時代のメモリアーキテクチャ
- 高位合成、コンパイラ
- Argonne National Laboratory
 - Workshop on Reconfigurable Computing for Post Moore Era @ ANL, Jan 2016